

IN THE U. S. PATENT AND TRADEMARK OFFICE

1000 U.S. PTO
10/046741
01/1/02

Applicant(s): ONO, Yoshinobu et al.

Application No.: **1234567890** Group: **A**

Filed: January 17, 2002 Examiner:

For: METHOD FOR FABRICATING III-V COMPOUND SEMICONDUCTOR

L E T T E R

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

January 17, 2002
3885-0103P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2001-009144	01/17/01

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: Dr. Murphy Jr. #28977
for ANDREW D. MEIKLE
Reg. No. 32,888

Attachment
(703) 205-8000
/ka

日本国特許庁 (703) 205-8000
JAPAN PATENT OFFICE

ONO, Yoshinobu
et al.
Jan. 17, 2002
BSKB, LLP
3885-0103P
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 1月17日

J100000046741
01/14/02

出願番号
Application Number:

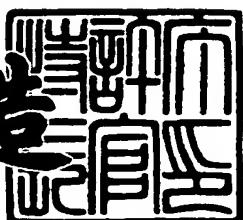
特願2001-009144

出願人
Applicant(s):

住友化学工業株式会社

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3109120

【書類名】 特許願
【整理番号】 152284
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/01
H01L 21/36

【発明者】

【住所又は居所】 茨城県つくば市北原 6 住友化学工業株式会社内
【氏名】 小野 善伸

【発明者】

【住所又は居所】 茨城県つくば市北原 6 住友化学工業株式会社内
【氏名】 秦 雅彦

【特許出願人】

【識別番号】 000002093
【氏名又は名称】 住友化学工業株式会社

【代理人】

【識別番号】 100077540

【弁理士】

【氏名又は名称】 高野 昌俊

【手数料の表示】

【予納台帳番号】 060336
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0013944

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 3-5族化合物半導体の製造方法

【特許請求の範囲】

【請求項1】 GaAs基板上に、Al組成の小さな第1の層に接してAl組成の大きな第2の層を積層した構造を含む $Al_{x_i}Ga_{1-x_i}As$ 積層膜 ($0 \leq x_i < 1$ 、 $i = 1, 2 \cdots n$) をエピタキシャル結晶成長により形成する工程を含む3-5族化合物半導体の製造方法において、

前記第1の層をエピタキシャル結晶成長させて形成した後、前記第1の層の上に、前記第2の層を前記第1の層のエピタキシャル成長速度よりも小さい成長速度でエピタキシャル結晶成長させて形成するようにしたことを特徴とする3-5族化合物半導体の製造方法。

【請求項2】 前記第1の層が、前記GaAs基板上に形成されるGaAsバッファ層である請求項1記載の3-5族化合物半導体の製造方法。

【請求項3】 前記第2の層の上に少なくとも1つの $Al_{x_i}Ga_{1-x_i}As$ 層をエピタキシャル結晶成長させて形成する工程をさらに含む請求項2記載の3-5族化合物半導体の製造方法。

【請求項4】 GaAs基板上に、 $Al_{x_i}Ga_{1-x_i}As$ ($0 \leq x_i < 1$ 、 $i = 1, 2 \cdots n$) で示される薄膜積層構造のバッファ層が形成され、該バッファ層の上に $Al_{y_j}Ga_{1-y_j}As$ ($0 \leq y_j < 1$ 、 $j = 1, 2 \cdots$) で示される上部構造層が形成されて成り、前記バッファ層の最上層のAl組成が前記上部構造層のうち前記最上層の上に接して設けられる隣接層のAl組成よりも小さい構成の3-5族化合物半導体をエピタキシャル結晶成長による薄膜形成を順次行って製造するための方法であって、

前記最上層の成長速度よりも前記隣接層の成長速度を小さくするようにしたことを特徴とする3-5族化合物半導体の製造方法。

【請求項5】 前記バッファ層を構成する各薄膜層のAl組成が前記GaAs基板から前記上部層に向けて段階的に大きくなるように前記バッファ層を形成するようにした請求項4記載の3-5族化合物半導体の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、異常成長による表面欠陥の発生を抑えることができるようとした3-5族化合物半導体の製造方法に関する。

【0002】

【従来の技術】

GaAsが直接遷移型のバンド構造を持っている上にAl_xGa_{1-x}As (0 ≤ x < 1)と格子整合性のよいヘテロ構造を形成することができるため、半導体レーザをはじめとする多くの光半導体素子において、従来から、作製が容易で品質の高いGaAs/AlGaAsヘテロ構造が多く採用されてきている。

【0003】

例えば、LED等の光デバイスの場合GaAs基板上にAl_xGa_{1-x}As (0 ≤ x < 1)積層構造がエピタキシャル結晶成長によって形成されるが、このAl_xGa_{1-x}As積層構造はAl組成の小さな層の上にAl組成の大きな層が接した積層構造となっており、しかも、Al組成の大きな層は100nm程度の厚みの比較的厚い層となっている。

【0004】

【発明が解決しようとする課題】

しかし、Al組成の小さなAl_xGa_{1-x}As層上にAl組成の大きなAl_xGa_{1-x}As層をエピタキシャル結晶成長させた場合、ラグビーボール状の異常成長が成長しやすかった。この欠陥はリーク電流のパスとなるため、デバイスの電気的特性あるいは光学的特性に悪影響をおよぼす。また、表面の凹凸は各種パターニング用のマスクとの密着性を損ない、パターニング精度の低下を生じさせ、出来上がったデバイスの品質を損なう虞があるという問題点を有している。

【0005】

本発明の目的は、従来技術における上述の問題点を解決することができる3-5族化合物半導体の製造方法を提供することにある。

【0006】

【課題を解決するための手段】

本発明者は、上記課題を解決すべく種々実験を重ねた結果、上述した異常成長の起点はA1組成の小さな $A_1_x\text{Ga}_{1-x}\text{As}$ 層の上にA1組成の大きな $A_1_x\text{Ga}_{1-x}\text{As}$ を成長させる場合の界面であることを見い出した。

【0007】

図3を参照してこのことを説明する。図3はGaAs基板101上にバッファ層102としてGaAs層を100nmの厚さにエピタキシャル結晶成長させた後、 $A_1_{0.4}\text{Ga}_{0.6}\text{As}$ 層103、 $A_1_{0.15}\text{Ga}_{0.85}\text{As}$ 層104、 $A_1_{0.4}\text{Ga}_{0.6}\text{As}$ 層105、及びGaAs層106を、それぞれ500nm、1000nm、500nm、50nmの厚さにエピタキシャル結晶成長させた場合の断面構造の一例を示したものである。図3で符号107で示されるのは異常成長部であり、バッファ層102と $A_1_{0.4}\text{Ga}_{0.6}\text{As}$ 層103の界面を起点として上方に円錐形に拡がるようにして形成されているのが判る。すなわち、A1組成の小さいバッファ層102の上にこれよりA1組成の大きい $A_1_{0.4}\text{Ga}_{0.6}\text{As}$ 層103をエピタキシャル結晶成長させた場合にその界面の一部に、小さな異常成長部が生じ、これが起点となって薄膜結晶の成長積層と共に上方に向けて拡大して異常成長部107が生じることがわかった。起点より上の層厚が厚くなるほど、異常成長部が成長して大きくなり、表面状態が悪化する。

【0008】

本発明者は、上記事実に着目して種々実験を行って検討した結果、エピタキシャル結晶成長の際に生じる異常成長は、A1の組成の大きさと成長速度とに関係しており、A1の組成が大きくなる程成長速度を遅くすることにより異常成長の発生を効果的に抑えることができるという知見を得るに至ったものである。

【0009】

本発明はこの知見に基づくものであり、A1組成の小さな $A_1_x\text{Ga}_{1-x}\text{As}$ 層の上に接してA1組成の大きな $A_1_x\text{Ga}_{1-x}\text{As}$ 層をエピタキシャル結晶成長させる場合、A1組成の小さな $A_1_x\text{Ga}_{1-x}\text{As}$ 層の成長速度よりもA1組成の大きな $A_1_x\text{Ga}_{1-x}\text{As}$ 層の成長速度を小さくすることにより、上記両層の界面における異常成長の起点部の発生を効果的に抑え、これによりエピタキシ

ヤル結晶成長させて得られた半導体表面の異常部の面積割合を従来に比べて大きく減少させるようにした3-5族化合物半導体の製造方法を提案するものである。

【0010】

請求項1の発明によれば、GaAs基板上に、Al組成の小さな第1の層に接してAl組成の大きな第2の層を積層した構造を含む $Al_{x_i}Ga_{1-x_i}As$ 積層膜($0 \leq x_i < 1$ 、 $i = 1, 2 \cdots n$)をエピタキシャル結晶成長により形成する工程を含む3-5族化合物半導体の製造方法において、前記第1の層をエピタキシャル結晶成長させて形成した後、前記第1の層の上に、前記第2の層を前記第1の層のエピタキシャル成長速度よりも小さい成長速度でエピタキシャル結晶成長させて形成するようにしたことを特徴とする3-5族化合物半導体の製造方法が提案される。

【0011】

請求項2の発明によれば、請求項1の発明において、前記第1の層が、前記GaAs基板上に形成されるGaAsバッファ層である3-5族化合物半導体の製造方法が提案される。

【0012】

請求項3の発明によれば、請求項2の発明において、前記第2の層の上に少なくとも1つの $Al_{x_i}Ga_{1-x_i}As$ 層をエピタキシャル結晶成長させて形成する3-5族化合物半導体の製造方法が提案される。

【0013】

請求項4の発明によれば、GaAs基板上に、 $Al_{x_i}Ga_{1-x_i}As$ ($0 \leq x_i < 1$ 、 $i = 1, 2 \cdots n$)で示される薄膜積層構造のバッファ層が形成され、該バッファ層の上に $Al_{y_j}Ga_{1-y_j}As$ ($0 \leq y_j < 1$ 、 $j = 1, 2 \cdots$)で示される上部構造層が形成されて成り、前記バッファ層の最上層のAl組成が前記上部構造層のうち前記最上層の上に接して設けられる隣接層のAl組成よりも小さい構成の3-5族化合物半導体をエピタキシャル結晶成長による薄膜形成を順次行って製造するための方法であって、前記最上層の成長速度よりも前記隣接層の成長速度を小さくするようにしたことを特徴とする3-5族化合物半導体の製造方法

が提案される。

【0014】

請求項5の発明によれば、請求項4の発明において、前記バッファ層を構成する各薄膜層のA1組成が前記G a A s基板から前記上部層に向けて段階的に大きくなるように前記バッファ層を形成するようにした3-5族化合物半導体の製造方法が提案される。

【0015】

本発明により上記課題が解決される理由を、以下説明する。

【0016】

A1組成の小さい層の上にA1組成の大きな層を成長する場合に、その界面に異常成長の起点が発生するのは、正常な成長であるステップフロー modeでの成長が乱れて局部的に3次元成長 mode（異常成長）が起こり易くなるためである。

【0017】

正常な成長が進んでいる場合には、テラス段部（ステップ）がほぼ等間隔に並んでおり、結晶表面へ供給された原子がこのステップに取り込まれ、ステップが前進することによって結晶成長が進行する。ステップとステップの間隔であるテラス長は、基板オフ角、単位時間あたりの表面への供給原子量、表面原子のマイグレーションの大きさ（表面マイグレーション長）、等で決まる。特に結晶表面でのマイグレーションの大きさは、G a原子よりもA1原子の方が小さいので、A1 G a A sにおいてはA1組成が大きくなるほど、平均のマイグレーション長は短くなる。

【0018】

表面に形成されたステップ間隔（テラス長）とその表面に供給された原子のマイグレーションの大きさ（表面マイグレーション長）との大小関係によって、表面に供給された原子がテラス段部に取り込まれる確率（すなわち正常な結晶成長が進行する確率）が大きく変わる。表面マイグレーション長がテラス長程度、あるいはテラス長より大きな場合には、ほぼ結晶表面に供給されたすべての原子がテラス段部まで移動することが可能なので、正常な成長が実現されやすい。一方

、表面マイグレーション長の方がテラス長よりも小さい場合には、結晶表面に供給された原子のうちテラス段部に到達できる表面原子の割合が著しく減少し、多くの表面原子がテラス上の欠陥等に捕獲されるようになるため異常成長が起きやすくなる。

【0019】

同一組成の層が正常な成長をしている場合には、表面マイグレーション長がテラス長程度、あるいはテラス長より大きいという関係が成り立っていると考えられるが、A1組成の小さな層の上にA1組成の大きな層を成長させる場合には、その界面においてこの関係が成り立たなくなり、異常成長が起きやすくなる。

【0020】

これを防ぐには、(1) 界面に形成されるA1組成の小さな層のテラス長をより小さくする、(2) A1組成の大きな層のマイグレーション長を大きくすることが必要になる、(1)の具体的対策は、A1組成の小さな層の成長速度を大きくすること、(2)の具体的対策は、A1組成の大きな層の成長温度を上げる、5族原料と3族原料の供給量比(5/3比)を小さくするなどである。

【0021】

成長させる層ごとに成長温度、5/3比を変える方法では、層の結晶品質が変わりやすく、デバイスによっては適用困難な場合がある。結晶品質を変えることなく異常成長を抑制できるのはA1組成の小さな層の成長速度を大きくすることである。すなわちA1組成の小さな層の成長速度をA1組成の大きな層の成長速度よりも相対的に大きくすることである。成長速度の制御は、有機金属原料の供給量の制御、ガス流速の制御、あるいは成長温度の制御等により容易に実施可能である。制御性が良く、結晶品質の変化の小さいことから、有機金属原料の供給量の制御による方法が一般的に用いられる。

【0022】

本発明の要点は、A1組成の小さな層の上にA1組成の大きな層を成長させる場合に、A1組成の小さな層の成長速度をA1組成の大きな層の成長速度よりも相対的に大きくすることで、結晶品質を変えることなく、異常成長の発生を抑制することにある。

【0023】

成長速度の比をどの程度にする必要があるかは、A1組成の差の大きさによって変化する。A1組成の差が比較的小さい場合には、成長速度の比（A1組成の大きな層の成長速度／A1組成の小さな層の成長速度）は1に近い値でもよいが、A1組成の差が大きい場合には、成長速度の比は1／2程度あるいは1／2よりも小さな値まで落とすことが必要になる。

【0024】

GaAs基板の上にAlGaAs積層エピタキシャル層を成長する場合、まずバッファ層を成長させ、結晶品質を確保して、その上に機能を有するデバイス層を成長させることが通常行われる。デバイス層の最初の層のA1組成が大きい場合には、バッファ層との界面で、異常成長が発生しやすくなる。先の議論で述べたように、デバイス層とバッファ層の成長速度の比を小さくすることが異常成長の抑制に有効である。

【0025】

その他に、界面におけるA1組成の差を小さくするために、バッファ層でのA1組成を階段状に上げてデバイス層の最初の層のA1組成に近づけるようにすれば、界面におけるA1組成の差を小さくできるので、成長速度の比をさほど小さくしなくとも異常成長の発生を抑制することができる。

【0026】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態の一例につき詳細に説明する。

【0027】

図1は、本発明の方法によって製造された薄膜結晶ウェーハの実施の形態の一例を模式的に示す断面図である。薄膜結晶ウェーハ1は光デバイスの製造に用いられるものであり、半絶縁性のGaAs化合物半導体結晶であるGaAs基板2上にMOCVD法を用いて複数の半導体薄膜結晶成長層をエピタキシャル成長させて次々と積層させて構成された3-5族化合物半導体である。

【0028】

図1を参照して薄膜結晶ウェーハ1の製造方法の一実施形態について説明する

と、G a A s 基板2上に先ずバッファ層3をG a A s 層として形成する。バッファ層3は、半絶縁性のG a A s 基板上にG a A s をエピタキシャル結晶成長させることにより薄膜結晶成長層として100nmの厚さに形成している。

【0029】

A 1組成を含まないバッファ層3の上には、それぞれが一般式 $A 1_x G a_{1-x} A s$ ($0 \leq x < 1$) で示される薄膜層の積層体である積層膜層4を形成する。本実施の形態では、積層膜層4は、 $A 1_{0.4} G a_{0.6} A s$ 層4 1、 $A 1_{0.15} G a_{0.85} A s$ 層4 2及び $A 1_{0.4} G a_{0.6} A s$ 層4 3を、バッファ層3の厚みである100nmよりも数倍以上の厚みでバッファ層3の上に順次エピタキシャル結晶成長させて積層することにより形成する。本実施の形態では、 $A 1_{0.4} G a_{0.6} A s$ 層4 1は500nmの厚さに、 $A 1_{0.15} G a_{0.85} A s$ 層4 2は1000nmの厚さに、 $A 1_{0.4} G a_{0.6} A s$ 層4 3は500nmの厚さにそれぞれ形成されている。

【0030】

ここで、バッファ層3のA 1組成と $A 1_{0.4} G a_{0.6} A s$ 層4 1のA 1組成を比べると、 $A 1_{0.4} G a_{0.6} A s$ 層4 1のA 1組成の方がはるかに大きい。すなわち、A 1組成の小さなバッファ層3の上に接して、それよりA 1組成の大きな $A 1_{0.4} G a_{0.6} A s$ 層4 1をエピタキシャル結晶成長させることになる。したがて、バッファ層3と $A 1_{0.4} G a_{0.6} A s$ 層4 1との界面において異常成長の発生起点が生じる虞が高いため、 $A 1_{0.4} G a_{0.6} A s$ 層4 1のエピタキシャル結晶成長速度は、バッファ層3のそれよりも遅い成長速度に選ばれる。例えば、 $A 1_{0.4} G a_{0.6} A s$ 層4 1の成長速度はバッファ層3の成長速度の約1/2程度とするのが好ましく、 $A 1_{0.4} G a_{0.6} A s$ 層4 1はこのような成長速度で500nmの厚さに形成される。

【0031】

エピタキシャル結晶成長時におけるA 1原子の動きは他の組成の原子の動きに比べて鈍いので、 $A 1_{0.4} G a_{0.6} A s$ 層4 1の成長速度を上述の如く選ぶことにより、 $A 1_{0.4} G a_{0.6} A s$ 層4 1の結晶成長を正常に進行させるのに必要なA 1原子の移動時間が確保され、バッファ層3と $A 1_{0.4} G a_{0.6} A s$ 層4 1と

の界面に異常成長の起点が発生するのを有効に抑えることができる。

【0032】

したがって、積層膜層4の結晶成長終了時に積層膜層4の上面に生じる表面欠陥の割合は従来の場合に比べて著しく減少する。

【0033】

次に上述の如く形成されたAl_{0.4}Ga_{0.6}As層41の上にAl_{0.15}Ga_{0.85}As層42、Al_{0.4}Ga_{0.6}As層43、GaAs層5を順次エピタキシャル結晶成長させ、それぞれ1000nm、500nm、50nmの厚さに形成する。ここでAl_{0.4}Ga_{0.6}As層41とAl_{0.15}Ga_{0.85}As層42の界面とAl_{0.4}Ga_{0.6}As層43とGaAs層5の界面はともに、Al組成の大きな層の上にAl組成の小さな層を形成することになるので異常成長が発生することはない。

【0034】

一方Al_{0.15}Ga_{0.85}As層42とAl_{0.4}Ga_{0.6}As層43の界面は、Al組成の小さな層の上にAl組成の大きな層を形成することになるので異常成長を発生させる虞がある。しかしこの界面で異常成長が発生しても、界面から上の層が薄いため、欠陥の大きさが小さく従って凹凸も小さい。また、デバイス層を貫通する形ではなくデバイス層の上層部のみに発生することになるので、デバイス特性上大きな問題が起きない場合が多い。このためAl_{0.15}Ga_{0.85}As層42とAl_{0.4}Ga_{0.6}As層43の界面での異常成長を抑制するための方策は、あえてとる必要はないが、本発明の趣旨に従いこの界面で成長速度の比を1より小さくするようにすることで、異常成長の発生を抑制することが可能である。

【0035】

このようにして出来上がった、薄膜結晶ウェーハ1には、異常成長の発生が極めて少ない。したがって、デバイスの電気的特性あるいは光学的特性において異常発生確率が少ない。またマスキング処理を行う場合、薄膜結晶ウェーハ1の表面とマスクとの密着性が従来に比べて良好となり、高精度でのパターニングが可能になり、より高品質のデバイスの製造が可能となる。

【0036】

図2には、本発明の別の実施形態の一例の模式的断面図が示されている。図2に示した薄膜結晶ウェーハ1'は、図1に示した薄膜結晶ウェーハ1のバッファ層3の構成が、GaAs層31、Al_{0.15}Ga_{0.85}As層32及びAl_{0.3}Ga_{0.7}As層33をこの順序でエピタキシャル成長して積層させた3層構造のバッファ層3'に代えられている点のみで薄膜結晶ウェーハ1と異なっている。したがって、図2の各部のうち図1の各部に対応する部分には同一の符号を付してそれらの説明を省略する。

【0037】

バッファ層3'は次のようにして形成される。先ず、半絶縁性のGaAs基板2上にGaAsをエピタキシャル成長させてGaAs層31を形成した後、Al_{0.15}Ga_{0.85}As層32を形成する。Al_{0.15}Ga_{0.85}As層32はGaAs層31上にAl_{0.15}Ga_{0.85}Asをエピタキシャル成長させて成る薄膜結晶層であり、Al_{0.15}Ga_{0.85}As層32上にさらにAl_{0.3}Ga_{0.7}Asをエピタキシャル成長させてAl_{0.3}Ga_{0.7}As層33を形成することによりバッファ層3'が形成される。この実施形態においては、GaAs層31は100nmの厚さに、Al_{0.15}Ga_{0.85}As層32は50nmの厚さに、Al_{0.3}Ga_{0.7}As層33は50nmの厚さにそれぞれ形成されている。

【0038】

上記説明から判るように、バッファ層3'は、一般式Al_{x_i}Ga_{1-x_i}As (0≤x_i<1, i=1, 2…n)で示される薄膜積層構造であり、本実施の形態ではi=3となっている。そして、バッファ層3'の上に形成される積層膜層4は、一般式Al_{y_j}Ga_{1-y_j}As (0≤y_j<1, j=1, 2…n)で示される同じく薄膜積層構造の上部構造層となっており、この上部構造層が光デバイス層として働くようになっている。

【0039】

ここで、バッファ層3'及び積層膜層4を形成する過程において異常成長が生じないようにするため、図1について説明したのと同様に、Al組成の小さい層の上にこれよりAl組成の大きい層をつづけてエピタキシャル結晶成長させて形成する場合、Al組成の大きい層の成長速度は、Al組成の小さい層の成長速度

よりも遅くしている。

【0040】

具体的に説明すると、バッファ層3'を構成するGaAs層31、Al_{0.15}Ge_{0.85}As層32及びAl_{0.3}Ga_{0.7}As層33は比較的速い成長速度で形成し、積層膜層4の最初の層であるAl_{0.4}Ga_{0.6}As層41は、バッファ層3の成長速度よりも遅い成長速度で形成する。

【0041】

この結果、Al組成がバッファ層3'の最上層であるAl_{0.3}Ga_{0.7}As層33のAl組成よりも大きい積層膜層4の最下層のAl_{0.4}Ga_{0.6}As層41の成長速度が、Al_{0.3}Ga_{0.7}As層33の成長速度より遅くなり、Al_{0.3}Ga_{0.7}As層33とAl_{0.4}Ga_{0.6}As層41との界面において、すなわちバッファ層3'と積層膜層4との界面において異常成長の起点が発生するのを有效地に防止し、図1について説明したのと同様に、GaAs層5の表面における異常部面積割合を小さく抑えることができる。

【0042】

次に、図1及び図2において、バッファ層3、3'の成長速度V1と、その上の積層膜層4の最初の層Al_{0.4}Ga_{0.6}As層41の成長速度V2とを種々変えて薄膜結晶ウェーハ1、1'を製造し、薄膜結晶ウェーハ1又は1'の表面の異常部の面積割合Rを測定した場合のデータを下記に示す。

【0043】

図1に示す構成の場合の測定結果。

V1 (nm/分)	V2 (nm/分)	R (%)
80	40	0. 25
80	60	0. 31
80	80	0. 54
60	80	1. 1
40	80	2. 5

【0044】

図2に示す構成の場合の測定結果。

V1 (nm/分)	V2 (nm/分)	R (%)
80	40	0.22
80	60	0.27
80	80	0.42
60	80	1.2
40	80	2.2

【0045】

以上の測定結果から、薄膜結晶ウェーハ1、1'のいずれにおいても、V1 = V2の場合のRの値を基準にした場合、V2がV1に対して遅くなる程異常部面積割合は小さくなり、逆に、V2がV1に対して速くなる程異常部面積割合は大きくなっていることが判る。

【0046】

すなわち、以上の測定結果から、A1組成の小さな $A1_x Ga_{1-x} As$ 層の上に接してA1組成の大きな $A1_x Ga_{1-x} As$ 層をエピタキシャル結晶成長させる場合、A1組成の小さな $A1_x Ga_{1-x} As$ 層の成長速度よりもA1組成の大きな $A1_x Ga_{1-x} As$ 層の成長速度を小さくすることにより、異常成長の発生を効果的に抑え、これにより薄膜結晶ウェーハ表面の異常部の面積割合を従来に比べて大きく減少させることができることが判る。

【0047】

【発明の効果】

本発明によれば、上述の如くエピタキシャル結晶成長速度を制御するだけで異常成長の発生を効果的に抑え、半導体表面の表面欠陥の割合を改善させることができるので、低成本で高品質の3-5族化合物半導体を製造することができる。

【図面の簡単な説明】

【図1】

本発明の方法によって製造された薄膜結晶ウェーハの実施の形態の一例を模式的に示す断面図。

【図2】

本発明の別の実施形態の一例を模式的に示す断面図。

【図3】

従来の製造方法によって製造された薄膜結晶ウェーハの一例を模式的に示す断面図。

【符号の説明】

1、1' 薄膜結晶ウェーハ

2 GaAs 基板

3、3' バッファ層

4 積層膜層

5 GaAs 層

4 1 Al_{0.4} Ga_{0.6} As 層

4 2 Al_{0.15} Ga_{0.85} As 層

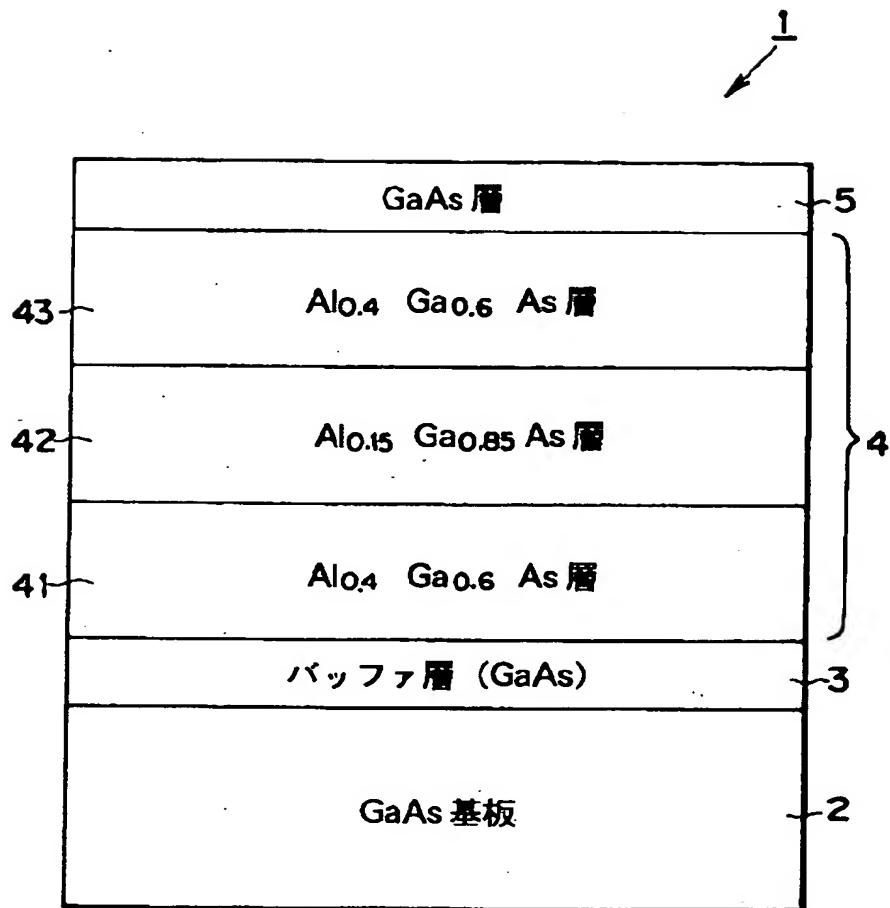
4 3 Al_{0.4} Ga_{0.6} As 層

3 1 GaAs 層

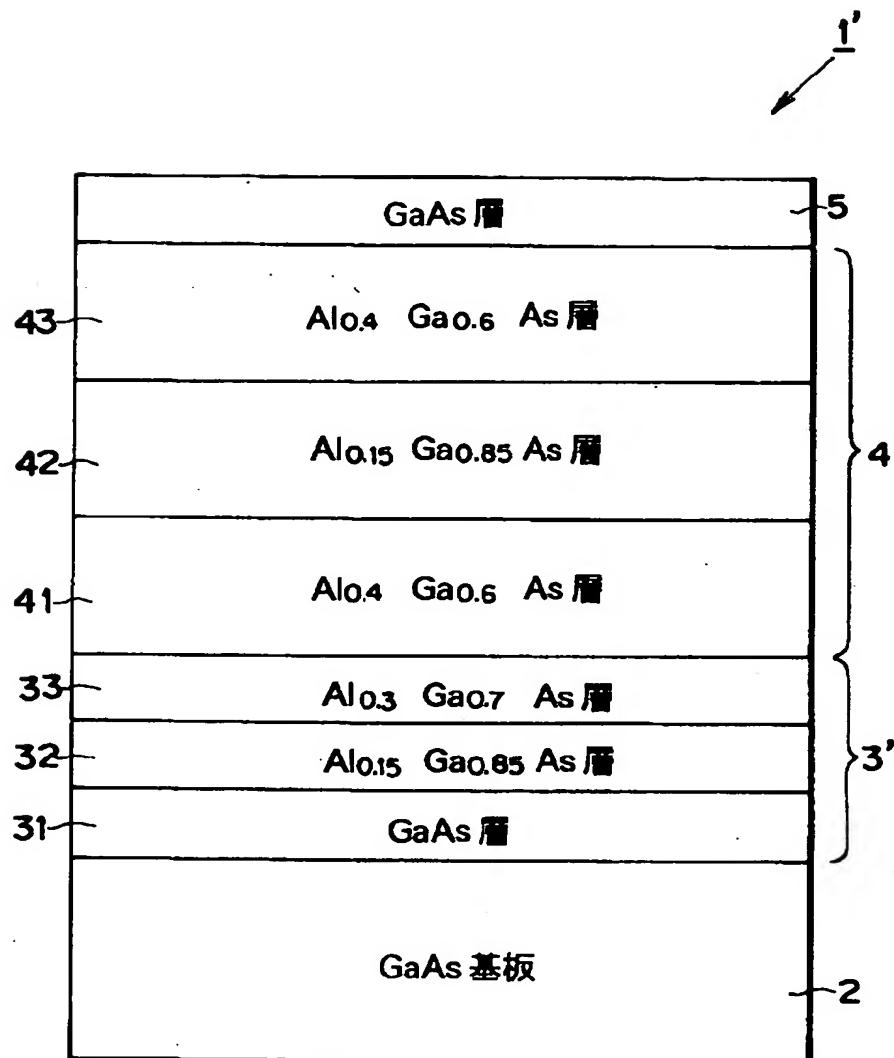
3 2 Al_{0.15} Ga_{0.85} As 層

3 3 Al_{0.3} Ga_{0.7} As 層

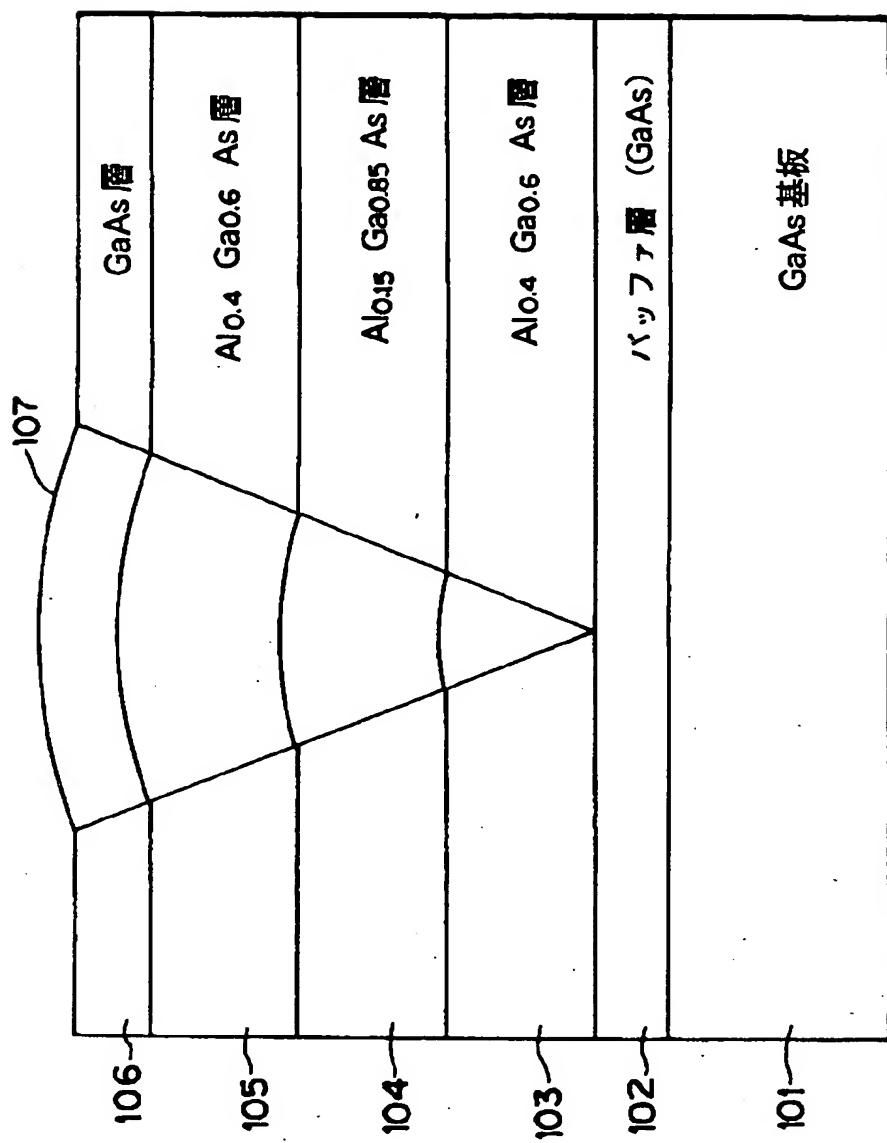
【書類名】 図面
【図1】



〔図2〕



【図3】



【書類名】 要約書

【要約】

【課題】 異常成長による表面欠陥の発生を抑えることができるようにした3-5族化合物半導体の製造方法を提供すること。

【解決手段】 GaAs基板2上に、エピタキシャル結晶成長によりAl組成の小さなバッファ層3及びAl組成の大きな積層膜層4を順次積層して薄膜結晶ウェーハ1を製造する場合に、バッファ層3をエピタキシャル結晶成長させて形成した後、バッファ層3の上に、積層膜層4の最初の層Al_{0.4} Ga_{0.6} As層4-1をバッファ層3のエピタキシャル成長速度よりも小さい成長速度でエピタキシャル結晶成長させて形成することにより、バッファ層3と積層膜層4との界面に異常成長の起点部が発生するのを有効に抑えるようにした。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-009144
受付番号	50100059025
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 1月18日

＜認定情報・付加情報＞

【提出日】 平成13年 1月17日

次頁無

出願人履歴情報

識別番号 [000002093]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府大阪市中央区北浜4丁目5番33号

氏 名 住友化学工業株式会社